

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-199617

(43) 公開日 平成9年(1997)7月31日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		27/10	4 3 4
	29/792			
	27/115			

審査請求 有 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平8-7337

(22) 出願日 平成8年(1996)1月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 児玉 典昭

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 石毛 清一

東京都港区芝五丁目7番1号 日本電気株式会社内

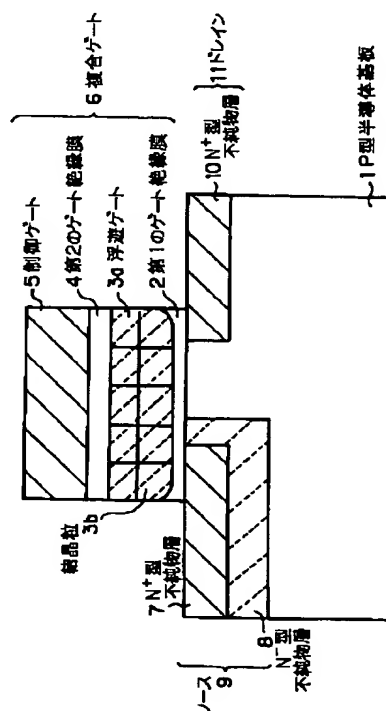
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体不揮発性記憶装置

(57) 【要約】

【課題】 浮遊ゲート3aのコーナーエッジ部を丸めて消去時の電界集中を緩和するだけでは、浮遊ゲート3aのコーナーエッジ部に起因する消去時のF Nトンネル電流のバラツキは抑制することができても、浮遊ゲート3aの結晶粒の粒界に起因するF Nトンネル電流のバラツキは抑制することはできない。

【解決手段】 ソース9のN<sup>+</sup>不純物層7と浮遊ゲート3aとのオーバーラップ領域のチャネル方向及びチャネル幅方向の長さを、浮遊ゲート3aを形成する多結晶シリコン膜の結晶粒の最大径以上とする。



## 【特許請求の範囲】

【請求項1】 半導体基板上に第1のゲート絶縁膜を介して形成され、外部から入力されるデータが電荷の蓄積により格納される多結晶シリコン膜からなる浮遊ゲートと、

該浮遊ゲート上に第2のゲート絶縁膜を介して形成され、前記データの書き込みまたは消去の際に電圧が印加される制御ゲートと、

前記半導体基板の表面の前記浮遊ゲートの両端に対向する位置に前記浮遊ゲートとオーバーラップ領域を有してそれぞれ形成され、前記半導体基板とは逆導電型の不純物層からなるソース及びドレインとを具備し、

前記浮遊ゲートに蓄積された電荷が前記第1のゲート絶縁膜を介して前記ソースまたは前記ドレインに放出されることにより前記データの消去が行われる不揮発性半導体記憶装置において、

前記オーバーラップ領域のチャネル方向及びチャネル幅方向の長さは、前記浮遊ゲートを形成する多結晶シリコン膜の結晶粒の最大径以上であることを特徴とする半導体不揮発性記憶装置。

【請求項2】 請求項1に記載の半導体不揮発性記憶装置において、

前記浮遊ゲートに蓄積された電荷の放出は、トンネル電流による放出であることを特徴とする半導体不揮発性記憶装置。

【請求項3】 請求項2に記載の半導体不揮発性記憶装置において、

前記データの消去時は、前記浮遊ゲートに蓄積された電荷が前記ソースに放出されることを特徴とする半導体不揮発性記憶装置。

【請求項4】 請求項2に記載の半導体不揮発性記憶装置において、

前記データの消去時は、前記浮遊ゲートに蓄積された電荷が前記ドレインに放出されることを特徴とする半導体不揮発性記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体不揮発性記憶装置に関し、特に、浮遊ゲートを有する半導体不揮発性記憶装置に関する。

## 【0002】

【従来の技術】 電氣的消去可能な読み出し専用不揮発性記憶回路装置の中で、一括消去可能なものはフラッシュメモリと呼ばれている。

【0003】 図4は、従来のフラッシュメモリの代表的な構造を示す断面図である。

【0004】 本従来例は図4に示すように、基板となるP型半導体基板101と、P型半導体基板101上に形成された第1のゲート絶縁膜102と、第1のゲート絶縁膜102上に形成され、リンが添加された多結晶シリ

コン膜の結晶粒103bからなる浮遊ゲート103aと、浮遊ゲート103a上に形成された第2のゲート絶縁膜104と、第2のゲート絶縁膜104上に形成され、データの書き込みまたは消去の際に電圧が印加される制御ゲート105とから主に構成されており、第1のゲート酸化膜102、浮遊ゲート103a、第2のゲート酸化膜104及び制御ゲート105によって複合ゲート106が形成されており、また、複合ゲート106の一端に対向するP型半導体基板101の表面にはN<sup>+</sup>型不純物層107及びN<sup>-</sup>型不純物層108からなるソース109が形成され、複合ゲート106の他端に対向するP型半導体基板101の表面にはN<sup>+</sup>型不純物層110からなるドレイン111が形成されている。

【0005】 上記のように構成されたフラッシュメモリにおけるデータの書き込み動作は、制御ゲート105及びドレイン111に所定の正電位が印加されることにより、チャンネルホットエレクトロンがドレイン111近傍から浮遊ゲート103aに注入され、メモリセルのしきい値が高レベルに設定されて行われる。

【0006】 一方、データの消去動作は、制御ゲート105の電位が接地レベルに設定され、また、ソース109に正の高電位が印加されることにより、浮遊ゲート103aに蓄積された電荷が第1のゲート絶縁膜102を介してソース109に放出され、メモリセルのしきい値が低レベルに設定されることで行われる。なお、浮遊ゲート103aに蓄積された電荷の放出はファウラーノードハイム(FN)トンネル放出により行われる。

【0007】 上述した消去動作における問題点は、浮遊ゲート103aから電荷が過剰に引き抜かれてしまい、メモリセルのしきい値が例えば0V以下になり、書き込まれているデータが過剰消去されてしまう虞れがあることである。

【0008】 この過剰消去は、ある規模のメモリセルアレイのブロックを一括消去した場合、各メモリセルの消去特性が揃っておらず、バラツキを有しているために生ずる問題である。

【0009】 通常、ソース109に電圧を印加してFNトンネル放出により浮遊ゲート103aからソース109に電荷を放出させる場合、浮遊ゲート103aのコーナーエッジ部において電界集中が起こり、コーナーエッジ部でのトンネル放出が増強される。しかしながら、浮遊ゲート103aのコーナーエッジ部の形状は加工上の制御性が悪く、各メモリセル間でバラツキが大きく、そのため消去後のメモリセルしきい値のバラツキを抑制するのが困難であった。

【0010】 そこで、例えば浮遊ゲート103aのコーナーエッジ部を丸めることによりコーナーエッジ部における電界集中を緩和し、消去しきい値のバラツキを抑制しようとする技術が特開平2-284473号公報に開示されている。

## 3

【0011】前記文献によれば、浮遊ゲート103aのコーナーエッジ部を丸める方法として、ソース109のN<sup>+</sup>型不純物層107及びN<sup>-</sup>型不純物層108を形成後に過酸化処理を行い、浮遊ゲート103aのコーナーエッジ部に丸みをもたせる方法が開示されている。上記の構造にすることにより、浮遊ゲート103aのコーナーエッジ部の電界集中は緩和され、浮遊ゲート103aのコーナーエッジ部の電界集中により生じる消去特性のメモリセル間バラツキが抑制される。

## 【0012】

【発明が解決しようとする課題】通常、上述したような半導体装置においては、浮遊ゲート103aを構成する多結晶シリコン膜には通常リンが添加され、多結晶シリコン膜の結晶粒103bの粒界にリンが高濃度に偏析し、粒界に沿った部分の第1のゲート絶縁膜102中に高濃度に拡散したリンが絶縁膜の電荷に対する電位障壁を低下させることにより、消去電流の電流密度においては粒界部分が高くなる傾向にあることはよく知られており、実際にはコーナエッジ部以外にも消去時の電流が不均一に流れる部分がある。

【0013】そのため、上述した従来の技術のように、浮遊ゲート103aのコーナーエッジ部を丸めて消去時の電界集中を緩和するだけでは、消去特性のメモリセル間のバラツキを十分に抑制することはできない。

【0014】特に、浮遊ゲート103aのコーナーエッジ部を丸めることにより電界集中を緩和した場合、第1のゲート絶縁膜102のコーナーエッジ部における膜厚が厚くなり、その分、実際にFNTトンネルが誘起されるソース109のN<sup>+</sup>型不純物層107と浮遊ゲート103aとのオーバーラップ領域の面積が小さくなるため、浮遊ゲート103aの多結晶シリコン膜の結晶粒103bをオーバーラップ領域に十分な数だけ取り込むことができなくなる。

【0015】極端な場合は、オーバーラップ領域の面積が小さくなって、オーバーラップ領域に含まれることが可能な浮遊ゲート103aの結晶粒103bが1個未満になった場合、メモリセル間でオーバーラップ領域に存在する結晶粒103bが1個であったり、1個もなかったりしてしまい、浮遊ゲート103aのコーナーエッジ部に起因する消去時のFNTトンネル電流のバラツキは抑制することができても、浮遊ゲート103aの結晶粒の粒界に起因するFNTトンネル電流のバラツキは抑制することはできない。

【0016】本発明は、上述したような従来の技術が有する問題点を鑑みてなされたものであって、データ書き換え時に生じるメモリセル間の特性のバラツキを抑制し、製造歩留まりを高め、生産性及び装置の信頼性を向上させることができる半導体不揮発性記憶装置を提供することを目的とする。

## 【0017】

## 4

【課題を解決するための手段】上記目的を達成するため本発明は、半導体基板上に第1のゲート絶縁膜を介して形成され、外部から入力されるデータが電荷の蓄積により格納される多結晶シリコン膜からなる浮遊ゲートと、該浮遊ゲート上に第2のゲート絶縁膜を介して形成され、前記データの書き込みまたは消去の際に電圧が印加される制御ゲートと、前記半導体基板の表面の前記浮遊ゲートの両端に対向する位置に前記浮遊ゲートとオーバーラップ領域を有してそれぞれ形成され、前記半導体基板とは逆導電型の不純物層からなるソース及びドレインとを具備し、前記浮遊ゲートに蓄積された電荷が前記第1のゲート絶縁膜を介して前記ソースまたは前記ドレインに放出されることにより前記データの消去が行われる不揮発性半導体記憶装置において、前記オーバーラップ領域の、チャンネル方向及びチャンネル幅方向の大きさは、前記浮遊ゲートを形成する多結晶シリコン膜の結晶粒の最大径以上であることを特徴とする。

10

20

【0018】また、前記浮遊ゲートに蓄積された電荷の放出は、トンネル電流による放出であることを特徴とする。

【0019】また、前記データの消去時は、前記浮遊ゲートに蓄積された電荷が前記ソースに放出されることを特徴とする。

【0020】また、前記データの消去時は、前記浮遊ゲートに蓄積された電荷が前記ドレインに放出されることを特徴とする。

30

【0021】（作用）上記のように構成された本発明においては、浮遊ゲートに格納されたデータの消去時にトンネル電流が誘起されるソースまたはドレインと浮遊ゲートとのオーバーラップ領域のチャンネル方向とチャンネル幅方向の長さが、浮遊ゲートを形成する多結晶シリコン膜の結晶粒の最大径以上の長さであるので、トンネル電流の誘起のために十分な数の多結晶シリコン膜の結晶粒がオーバーラップ領域に含まれ、データの書き換え動作時に各メモリセル間におけるトンネル電流のバラツキが生じることはない。

## 【0022】

【発明の実施の形態】以下に、本発明の実施の形態について図面を参照して説明する。

40

【0023】図1は、本発明の半導体不揮発性記憶装置の実施の一形態を示す断面図である。

【0024】本形態は図1に示すように、基板となるP型半導体基板1と、P型半導体基板1上に形成され、10nm厚のシリコン酸化膜からなる第1のゲート絶縁膜2と、第1のゲート絶縁膜2上に形成され、リンが添加された多結晶シリコン膜の結晶粒3bからなる浮遊ゲート3aと、浮遊ゲート3a上に形成され、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜からなる20nm厚の複合膜で構成される第2のゲート絶縁膜4と、第2のゲート絶縁膜4上に形成され、多結晶シリコン膜か

50

## 5

らなる制御ゲート5とから主に構成されており、第1のゲート酸化膜2、浮遊ゲート3a、第2のゲート酸化膜4及び制御ゲート5によって複合ゲート6が形成されており、また、複合ゲート6の一端に対向するP型半導体基板1の表面にはヒ素が表面濃度 $1 \times 10^{20} \text{ cm}^{-3}$ 以上にドーピングされたN<sup>+</sup>型不純物層7及びリンが表面濃度 $1 \times 10^{20} \text{ cm}^{-3}$ 以下にドーピングされたN<sup>-</sup>型不純物層8からなるソース9が浮遊ゲート3aとのオーバーラップ領域を有して形成され、複合ゲート6の他端に対向するP型半導体基板1の表面にはヒ素が表面濃度 $1 \times 10^{20} \text{ cm}^{-3}$ 以上にドーピングされたN<sup>+</sup>型不純物層10からなるドレイン11が浮遊ゲート3aとのオーバーラップ領域を有して形成されている。

【0025】ここで、ソース9のN<sup>+</sup>型不純物層7と浮遊ゲート3aとのオーバーラップ領域のチャンネル方向の長さ $L_{ovw}$ は、浮遊ゲート3aを構成する多結晶シリコン膜の結晶粒3bの最大粒径 $L_g$ より大きくなるように形成される( $L_{ovw} > L_g$ )。

【0026】また、図示しないがソース9のN<sup>+</sup>型不純物層7と浮遊ゲート3aとのオーバーラップ領域のチャンネル幅方向の長さ $L_{ovw}$ も、浮遊ゲート3aを構成する多結晶シリコン膜の結晶粒3bの最大粒径 $L_g$ より大きくなるように形成されている( $L_{ovw} > L_g$ )。

【0027】上述したような構成とすれば、ソース9のN<sup>+</sup>型不純物層7の浮遊ゲート3aとのオーバーラップ領域には多結晶シリコン膜の結晶粒3bが少なくとも1個以上含まれるようになり、結晶粒が1つも含まれないような極端な場合はなくなる。

【0028】上記のように構成された2層ゲート型不揮発性記憶装置におけるデータの書き込み動作は、ソース9及びP型半導体基板1の電位が接地レベルに設定され、制御ゲート5に12V、ドレイン11に6Vの電圧がそれぞれ印加されて、チャンネルホットエレクトロンがドレイン11近傍から浮遊ゲート3aに注入され、蓄積されることにより行われる。

【0029】一方、データの消去動作は、P型半導体基板1及び制御ゲート5の電位が接地レベルに設定され、ドレイン11の電位が浮遊電位に設定され、また、ソース11に12Vの高電位が印加されることにより、浮遊ゲート3aに蓄積された電荷が第1のゲート絶縁膜2を介してソース9に放出され、メモリのしきい値が低レベルに設定されることで行われる。なお、浮遊ゲート3aに蓄積された電荷の放出はファウラー-ノードハイム(FN)トンネル放出により行われる。

【0030】ここで、データが消去される際のFNトンネル放出は、ソース9の表面不純物濃度が約 $1 \times 10^{20} \text{ cm}^{-3}$ 以上のN<sup>+</sup>型不純物層7と浮遊ゲート3aとのオーバーラップ領域において支配的に起きるが、前述したように、FNトンネル放出はN<sup>+</sup>型不純物層7のオーバーラップ領域において均一に起きるのではなく、浮遊ゲ-

## 6

ート3aを構成するリンが添加されたN<sup>+</sup>型多結晶シリコン膜の粒界部分においてはトンネル放出における電流密度が高くなる。そのため、N<sup>+</sup>型不純物層7のオーバーラップ領域に浮遊ゲート3aの多結晶シリコン膜の粒界がある場合とない場合とでは消去動作におけるFNトンネル放出の電流特性が大きく異なり、消去特性のバラツキの原因になってしまう。

【0031】しかしながら、本形態においては、オーバーラップ領域が浮遊ゲート3aの多結晶シリコン膜の結晶粒より大きく、必ず1つ以上の結晶粒を含むように画定されているため、消去特性がメモリセル間で大きく異なることはない。

【0032】以下に、上述した半導体不揮発性記憶装置の製造方法について説明する。

【0033】図2は、図1に示した半導体不揮発性記憶装置の製造方法について説明するための図である。

【0034】まず、P型半導体基板1の一主面表面に10nm厚のシリコ酸化膜ならなる第1のゲート絶縁膜2、リンが添加された0.15 $\mu\text{m}$ 厚の多結晶シリコン膜である浮遊ゲート3a、10nm厚のシリコン酸化膜(O)と10nm厚のシリコン窒化膜(N)と4nm厚のシリコン酸化膜(O)との酸化膜換算膜厚約20nmのONO膜からなる第2のゲート絶縁膜4及び0.40 $\mu\text{m}$ 厚の多結晶シリコン膜からなる制御ゲート5が順次積層され、複合ゲート6が形成される(図2(a))。ここで、浮遊ゲート3aの多結晶シリコン膜の結晶粒3bの最大粒径は、多結晶シリコン膜の膜厚程度であり、ここでは0.15 $\mu\text{m}$ 程度である。

【0035】次に、P型半導体基板1表面の複合ゲート6の一端側に、選択的に50keVで $5 \times 10^{14} \text{ cm}^{-2}$ のリンがイオン注入されたN<sup>-</sup>型不純物層8と、70keVで $5 \times 10^{15} \text{ cm}^{-2}$ のヒ素がイオン注入されたN<sup>+</sup>型不純物層7との2重拡散層からなるソース9が形成される(図2(b))。

【0036】次に、P型半導体基板1表面及び複合ゲート6の側面が850℃のドライ酸素雰囲気において酸化処理され、20nm厚の側面酸化膜12が形成される(図2(c))。この際、浮遊ゲート3aの多結晶シリコン膜のコーナーエッジ部が酸化により丸まる。

【0037】次に、窒素雰囲気において1000℃の熱処理が施され、ソース9の2重拡散層が拡散され、N<sup>+</sup>型不純物層7と浮遊ゲート3aとのオーバーラップ長が約0.20 $\mu\text{m}$ となり浮遊ゲート3aの多結晶シリコン膜の結晶粒3bサイズより大きくなる(図2(d))。

【0038】その後、P型半導体基板1表面の複合ゲート6の他端側に、選択的に70keVで $3 \times 10^{15} \text{ cm}^{-2}$ のヒ素がイオン注入されてドレイン11のN<sup>+</sup>型不純物層10が形成される(図2(e))。

【0039】また、図示はしないが、チャンネル幅方向においては、素子領域が浮遊ゲート3aの多結晶シリコ

## 7

ン膜の結晶粒3bの最大粒径約0.15 $\mu$ mより大きく、例えば0.6 $\mu$ m幅で画定されている。

【0040】(他の実施の形態)図3は、本発明の半導体不揮発性記憶装置の他の実施の形態を示す断面図である。

【0041】上述した形態においては、浮遊ゲート3aに蓄積された電荷がソースに放出されることによりデータの消去が行われたが、本形態においては、ドレインに電荷が放出されることによりデータの消去が行われる。

【0042】したがって、図3に示すものにおいては、図1に示したものと比べてソースとドレインの位置が逆で、ドレイン15がN<sup>-</sup>型不純物層14とN<sup>+</sup>型不純物層15とからなる2重拡散層で構成されており、ソース17はN<sup>+</sup>型不純物層16からなっている。

【0043】また、ドレイン15のN<sup>+</sup>型不純物層13と浮遊ゲート3aとのオーバーラップ領域は、チャンネル方向にも、チャンネル幅方向にも、浮遊ゲート3aの多結晶シリコン膜の結晶粒3bの最大粒径より大きく画定されている。

【0044】

【発明の効果】以上説明したように本発明においては、浮遊ゲートに格納されたデータの消去時にトンネル電流が誘起されるソースまたはドレインと浮遊ゲートとのオーバーラップ領域のチャンネル方向とチャンネル幅方向の長さが、浮遊ゲートを形成する多結晶シリコン膜の結晶粒の最大径以上となるように形成したため、トンネル電流の誘起のために十分な数の多結晶シリコン膜の結晶粒がオーバーラップ領域に含まれ、データの書き換え動作

## 8

時に各メモリセル間におけるトンネル電流のバラツキが生じることはない。

【0045】これにより、メモリセル間において一定のデータの書き換え特性を得ることができ、製造歩留りを高め、生産性及び装置の信頼性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の半導体不揮発性記憶装置の実施の一形態を示す断面図である。

【図2】図1に示した半導体不揮発性記憶装置の製造方法について説明するための図である。

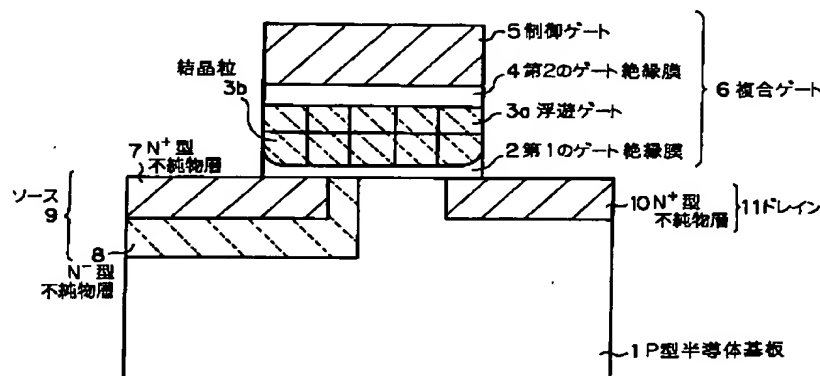
【図3】本発明の半導体不揮発性記憶装置の他の実施の形態を示す断面図である。

【図4】従来のフラッシュメモリの代表的な構造を示す断面図である。

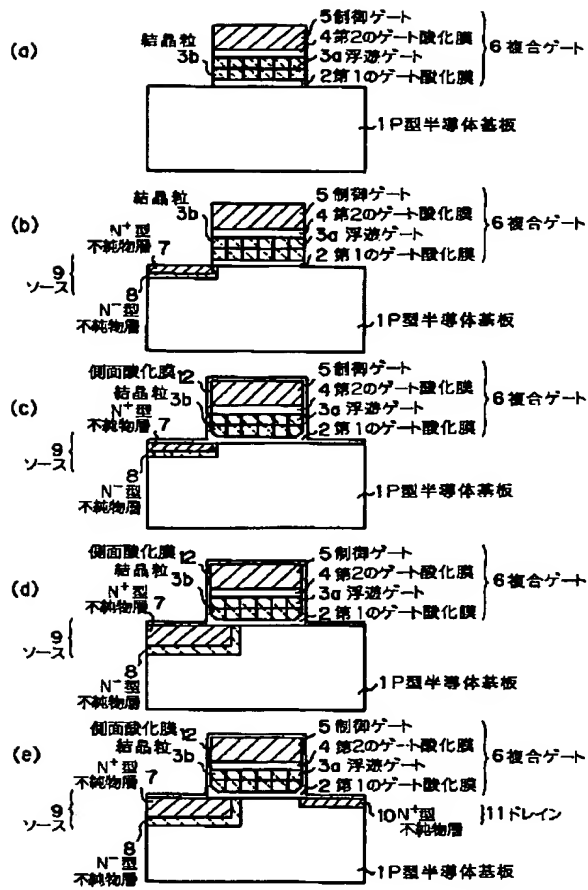
【符号の説明】

- 1 P型半導体基板
- 2 第1のゲート絶縁膜
- 3a 浮遊ゲート
- 3b 結晶粒
- 4 第2ゲート絶縁膜
- 5 制御ゲート
- 6 複合ゲート
- 7, 10, 13, 16 N<sup>+</sup>型不純物層
- 8, 14 N<sup>-</sup>型不純物層
- 9, 17 ソース
- 11, 15 ドレイン
- 12 側面酸化膜

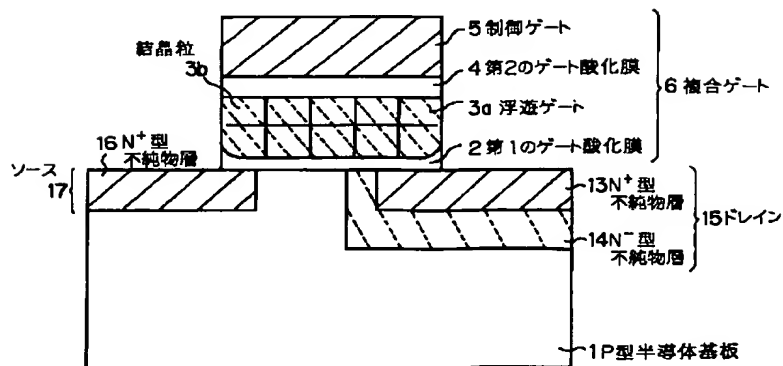
【図1】



【図2】



【図3】



【図4】

